第3章

シミュレーションと現実世界の違いを理解する

――シミュレーション値と実測値が一致しない理由はかならずある

金子俊之

ボード設計において，仕様決めや設計検証の過程でシミュレーションを実施する例が増えている．とくに，ディジタル回路のクロック周波数が50MHz程度を超えると，シミュレーションによる確認が必要になる．シミュレータのふるまいは，一見，計測器のように見えるが，現実世界を取り扱う計測器と，コンピュータの中に構築（モデリング）した仮想世界を取り扱うシミュレータとでは，結果の意味するところが異なる．その違いを理解していないと，シミュレーションの結果をボード設計に生かすことはできない．ここではボード設計におけるシミュレーションの基本的な考えかたと事例について紹介する．（編集部）

近年のボード設計において，ボードの仕様決めやボード設計の検証作業にシミュレーション技術を活用する事例が増えています．これは，DDR SDRAM（double data rate synchronous dynamic random access memory）などの高速メモリの登場やシリアル・インターフェースの高速化にともない，ボード設計のよしあしが電圧波形に顕著に影響を及ぼすようになったためです（p.40のコラム「電源電位の信頼性が課題に」を参照）．そして，ボード設計に不手際があると，外部へ放射ノイズを出しやすい，もしくは外部からやってくるノイズをひろいやすいボードになってしまうことが広く認識されるようになってきました．

また，実際に製品を作った後で電圧波形を確認し，波形の最適化を図るという従来の方法では，試作回数が増え，装置開発の費用と工数が増大してしまいます．そこで，シミュレーション技術を活用して，あらかじめ設計の段階で最適なボードの仕様を確認しておくことが推奨されています．

最近では，ボード設計で使用するCAD（computer aided design）とシミュレータの統合も進み，ボード設計を進めながら，ボード上の信号の電圧波形を確認しやすくなっています．このように，ボード設計の段階でシミュレータを活用する環境が整備され，シミュレータが有効なツールであると認識されるようになりました．

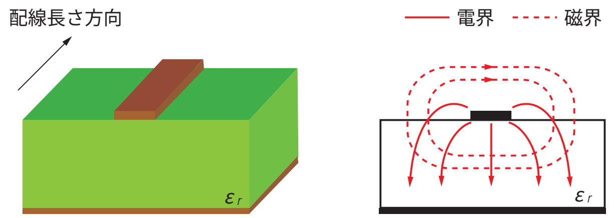
しかし，万能のように思われがちなシミュレータですが，実際には実測の波形と完全に一致するということは，まずありません．これは，シミュレーションによって得られる結果が，モデルの精度や動作環境に左右されるからです．つまり，現在のシミュレーション技術では，実際の信号のふるまいを完全に再現することは難しく，シミュレーションで得られた波形と実測の波形は完全には一致しません．

では，シミュレーション結果の精度を上げるには，どのような点に注意すればよいのでしょうか？ また，シミュレーション結果をどのようにボード設計に活用すればよいのでしょうか？ これらの課題について，解決の糸口を以下に示していきます．

1 シミュレーションの精度を上げるための注意点

信号が流れるボード上の配線パターンは，通常，伝送線路として取り扱います．伝送線路の電圧波形をシミュレーションする場合，伝送線路の等価回路をモデリングし，LSIのデバイス・モデルと組み合わせてシミュレーションするのが一般的です（例えば，SPICEシミュレータや専用の伝送線路シミュレータを利用する）．このとき，デバイス・モデルや伝送線路の等価回路モデルの精度が実測波形から大きくかけ離れていることがあります．

以下では，伝送線路のモデリング手法とそのときの注意点について述べます．



(a) マイクロストリップ線路構造　(b) 断面構造と電磁界分布

図1　マイクロストリップ線路構造と電磁界分布

(a)のマイクロストリップ線路構造は，ボードの表層に信号配線があり，信号配線の直下に理想的なグラウンド(GND)がある構造．信号配線とグラウンドの間は，誘電率(ε_r)の絶縁材料によって構成される．(b)は，マイクロストリップ線路に電圧波形が伝播したときに発生する電界と磁界を示している．

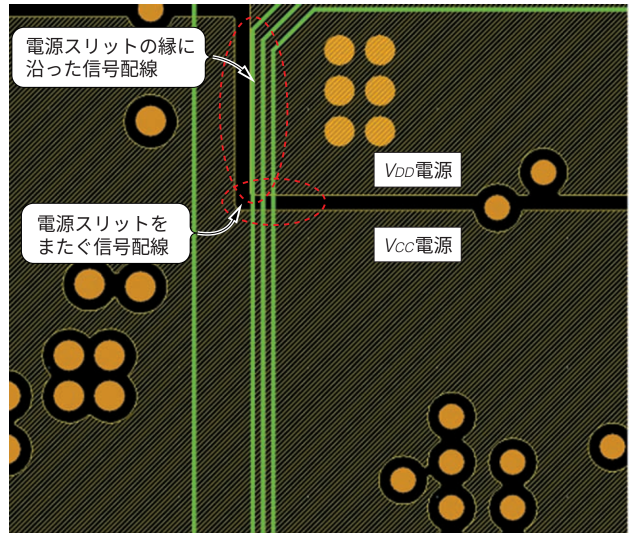


図2　電源スリットをまたぐ信号配線

電源層には，V_{CC}電源ベタとV_{DD}電源ベタ(黄色の斜線で示した部分)がある．これら二つの電源の間にはスリットが入っている．また，電源層に隣接する信号層には，緑色で示す信号配線がある．この信号配線は，電源のスリットをまたぐように設計されている．

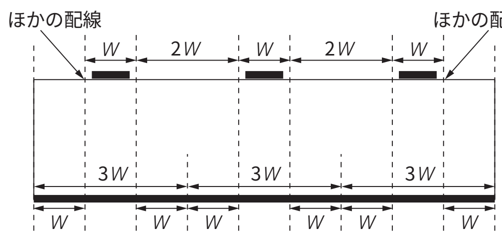


図3　ほかの配線との間げきおよびグラウンド(GND)エリア

マイクロストリップ線路構造において，中心にある配線幅Wの信号配線が，隣接する周囲の配線の影響を受けないようにするため，$2W$以上の間げきをあける．また，グラウンド・ベタについては，配線幅Wの信号配線のエッジからWを確保し，$3W$以上のベタを確保する．

● ボード上の配線パターンを伝送線路と考える

伝送線路の等価回路モデルを考えるうえで，**図1(a)**に示すようなマイクロストリップ線路構造について考えてみましょう．

図1(a)は配線長さ方向について，どの位置の断面を見ても**図1(b)**のような構造になっています．**図1(b)**に，このときの電磁界分布を示しています．**図1(b)**のマイクロストリップ線路によって発生する電界も磁界も，中心導体(マイクロストリップ線路)に対して垂直な面内にあるTEM (transverse electro-magnetic)モードとなります[1]．つまり，**図1(a)**は，どの位置で断面をとっても**図1(b)**のTEMモードとなるため，**図1(b)**の断面構造における単位長さ当たりのR(抵抗成分)，L(インダクタンス成分)，G(コンダクタンス成分)，C(キャパシタンス成分)を算出し，必要な配線長分のR，L，G，Cを計算し，等価回路モデルを作成するというのが一般的です．

最近では，配線の長さ方向の情報も含めて，電磁界解析によって等価回路モデルを算出するツールもありますが，モデリングおよびシミュレーションに時間がかかるため，よほど高い精度が必要となる場合を除いて，**図1(b)**に示す2次元の断面構造から等価回路をモデリングする方法が一般的です．

● クリティカルな信号は最初から解析しやすくしておく

実際にボード設計を行ったCAD画面を**図2**に示します．最近では，一つのボードで数種類～数十種類の電源を扱うことがあります．**図2**の場合は，V_{CC}とV_{DD}という2種類の電源があります．これらは，ベタ・パターン(黄色い斜線で示された部分)として設計されています．また，電源層と隣接する層を利用して信号が配線されています．

この図の信号配線はV_{CC}とV_{DD}のスリットをまたぐように設計されています．また，部分的にスリットに沿って配線されている部分もあります．このような信号配線では，**図1**で示したような配線の長さ方向について，「どこを切り出しても構造が同じ」とは言えなくなっています．

このように，伝送線路シミュレーションによって結果を確認する必要があるようなクリティカルな信号(不ぐあいの原因となりやすい信号)は，スリットをまたがないように，ボード設計の段階で注意するようにしましょう．また，スリットに沿って配線する場合は，**図3**に示すように，配線のエッジから配線幅W分を確保し，隣接するほかの配線に対して2倍の配線幅Wを確保するようにしましょう[2]．

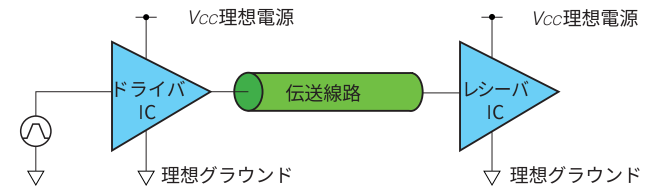


図4　一般的な伝送線路シミュレーションのブロック図
ドライバICには，実際の動作に合わせた周波数の入力パルスを供給し，伝送線路およびレシーバICをつなげたときの電圧波形を確認する．このとき，ドライバICとレシーバICには，理想的な電源が供給されている．

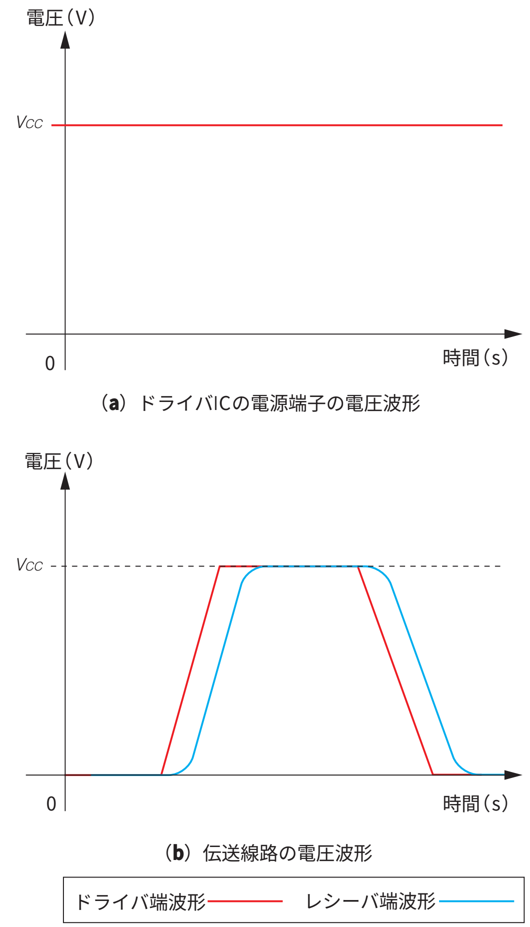


図5　図4における電圧波形
図4に示したブロック図における各ポイントの電圧波形を示している．(a)のドライバICの電源端子には，理想的な電源を接続しているので，時間的な変動がなく，つねに一定の電圧値となる．(b)は，そのときのドライバIC側，レシーバIC側の電圧波形を示している．レシーバ側では，伝送線路におけるロス（損失）によって波形が鈍っている．

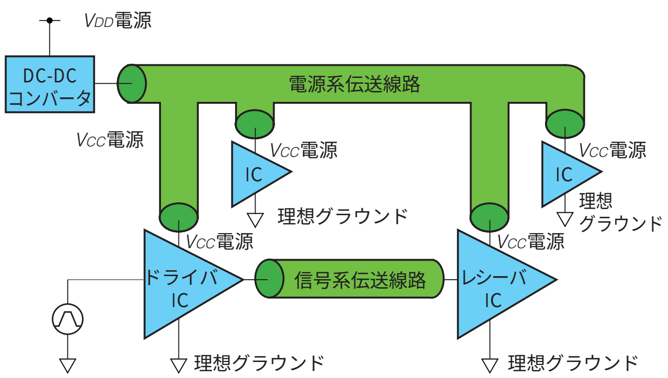


図6　電源系伝送線路を考慮した伝送線路シミュレーションのブロック図
V_{DD}電源がDC-DCコンバータへ入力され，V_{CC}電源を生成し，各ICへV_{CC}電源を供給している．また，信号系伝送線路に関係するドライバIC，レシーバIC以外のICにも電源を供給することを想定している．

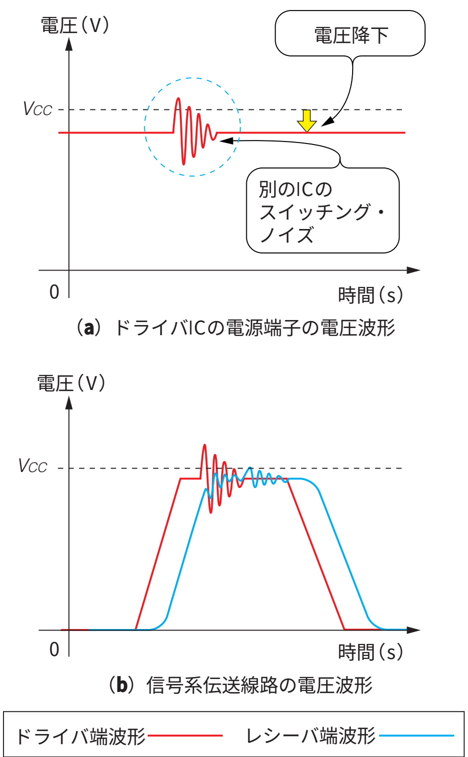
しかし，実際のボードの設計では，**図3**に示すエリアを確保することが難しい場合があります．そのような場合には，**図3**のような理想に近い構造にならない箇所を個別にモデリングしていく必要があります．これにより解析の精度は向上しますが，モデルの抽出および伝送線路シミュレーションに多くの時間がかかる場合があります．用途や解析周波数に応じて，モデリングする範囲を使い分けるようにしましょう．

● 動作環境条件を正確に反映させることはできない

実測時の動作環境とシミュレーションにおける動作環境を合わせることで，シミュレーションの解析精度は向上します．ところが，実測時の動作環境を正確にシミュレーションに反映させることは，容易ではありません．

例えば，一般的に伝送線路シミュレーションでは，**図4**に示すような理想的な電源が供給されています．つまり，3.3V駆動のICに対して，3.3Vの理想的なDC電源が供給されます．このとき，シミュレーションによって得られた電圧波形が**図5**のようになったと仮定します．ところが実際には，同一の電源を使っている別のICが駆動することによってボード内の電源電流が変動し，同時に電源電圧も変動することが考えられます．つまり，実際の動作では，電源も理想的なDC電源とは限らないのです．

図6に電源系の伝送線路を等価回路モデルとして表したときのブロック図を示します．このモデルを利用して，別のICが駆動することによって発生する電源の電圧変動を解析できたとすると，**図7**に示すような波形になると考えられます．**図5(a)**では，理想的な電源なので，電圧変動はなく一定の電圧です．一方，**図7(a)**では，同じ電源につながっている別のICが動作することで，電源電圧の変動が観測されたと考えられます．**図7(b)**では，ドライバICの動作のタイミングで電源電圧の変動が発生し，出力波形に同じ



（**a**） ドライバICの電源端子の電圧波形

（**b**） 信号系伝送線路の電圧波形

図7　図6における電圧波形

図6に示したブロック図における各ポイントの電圧波形を示している．(a)のドライバICの電源端子については，DC-DCコンバータからドライバICまでの伝送線路において，電圧降下が生じると予想される．また，V_{CC}電源を共有する別のICが動作することで，スイッチング・ノイズが入り込むと予想される．(b)では，V_{CC}のノイズがドライバ側の電圧波形として出ている．また，レシーバIC側の電圧波形では，ドライバ側と同じタイミングでレシーバIC内のカップリングによるノイズが現れた．ドライバICから出たノイズが伝送線路を伝播してレシーバ側で観測されたと考えられる．

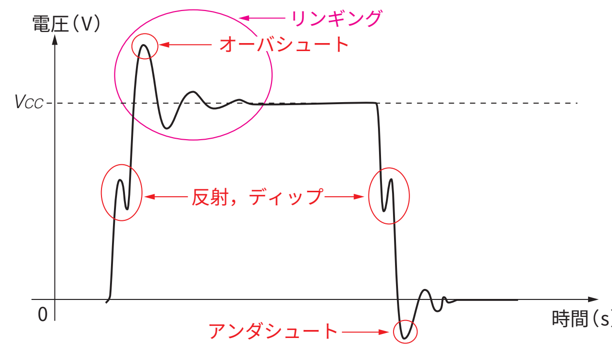


図8　シミュレーションで得られた電圧波形の例

波形の立ち上がり/立ち下がり時に，反射によるディップが見られる．また，立ち上がり後に電圧レベルが上昇するオーバシュート，立ち下がり後に電圧レベルが降下するアンダシュートが見られる．さらに，オーバシュート後に電圧が収束せず，発散するような変動（リンギング）が見られる．

ように電源ノイズが出たものと考えられます．また，レシーバ側でも，電源電圧の変動とレシーバIC内のカップリング（クロストーク）により，電圧変動が観測され，さらに，ドライバICから出力されたノイズも伝送線路を伝播し，レシーバICへ到達するものと考えられます．

このように，「電源電圧の変動は伝送線路波形へ影響を与えるもの」と考えます．したがって，ボード設計を行う際に，電源はできるだけ太く短く配線し，安定動作させる必要があります[(3)]．このようなボード設計ができていないと，いくらシミュレーションを行っても，実測結果からかけ離れた結果になってしまいます．

また，EMC（electro-magnetic compatibility；電磁環境適合性）による影響を受けにくいボードを設計することも重要です．最近では，「優先席付近では携帯電話の電源をお切りください」といった電車内でのアナウンスがすっかり定着しています．このアナウンスは，心臓ペース・メーカなどの医療用電子機器が，携帯電話の電波によって誤動作しないようにという配慮から行われていることは，みなさんご存じのことと思います．このように，電子機器は少なからず電磁波の影響を受けます．つまり，外部からやってくる電磁波によって，伝送線路上の電圧波形が影響を受けてしまいます．また，シミュレーションの段階で，外部からやってくる電磁波をすべて予測し，その影響を解析に反映させることは難しいのです．したがって，できるだけ外部の影響を受けにくいボードにする必要があります．

2 伝送線路シミュレーション結果の活用方法

次に，伝送線路シミュレーションの結果を実際の設計にどのように生かせばよいのかについて説明します．

● シミュレーション結果が実測と一致するとはかぎらない

伝送線路シミュレーションの結果から，電圧波形にどのような問題が発生する可能性があるのかがわかります．例えば，**図8**に示すような波形がシミュレーションから得られたとします．この場合，オーバシュート，アンダシュートが発生し，反射によるディップが発生し，リンギングが発生していることがわかります．これらの電圧変動がシミュレーションによって確認されれば，これらの電圧変動を抑制するためのボード設計の提案が行えます．また，伝播遅延についても，**図9**に示す電圧波形によって，その原因をある程度まで絞り込むことができます[(4)]．

ただし，シミュレーションによって得られた波形なので，

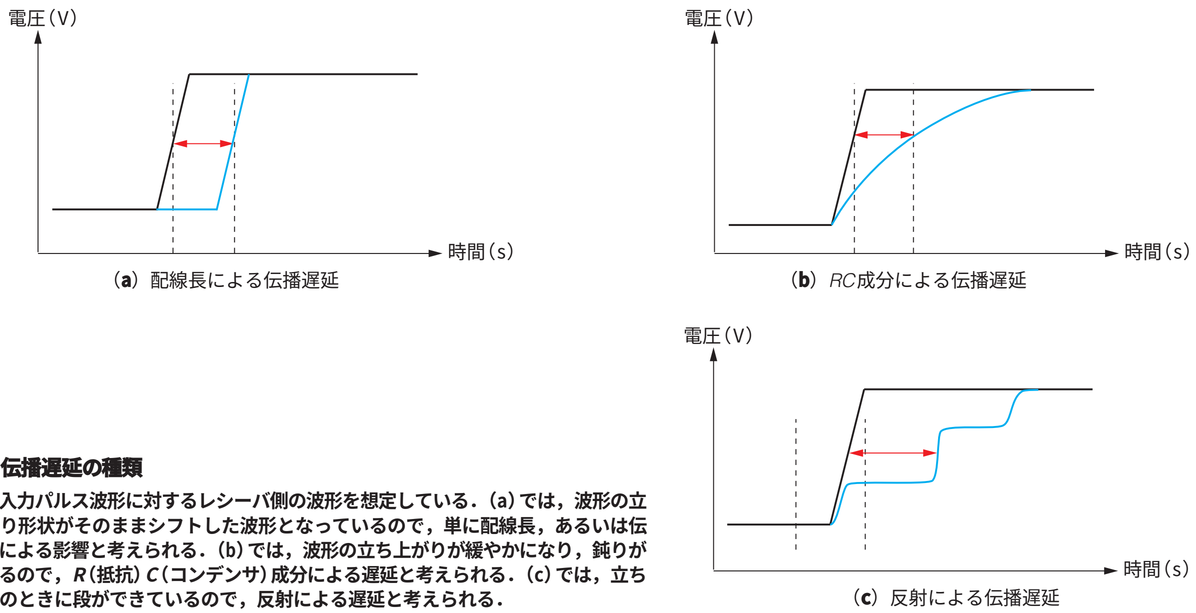


図9　伝播遅延の種類

手前の入力パルス波形に対するレシーバ側の波形を想定している．(a)では，波形の立ち上がり形状がそのままシフトした波形となっているので，単に配線長，あるいは伝播遅延による影響と考えられる．(b)では，波形の立ち上がりが緩やかになり，鈍りがでているので，*R*(抵抗)*C*(コンデンサ)成分による遅延と考えられる．(c)では，立ち上がりのときに段ができているので，反射による遅延と考えられる．

表1　伝送線路波形の現象と対策例

現　象	原因部品	原　因	対策例
オーバシュート，アンダシュート	LSI	LSIのバッファ駆動能力が高すぎる	バッファ駆動能力を負荷に合わせる
			ダンピング抵抗を調整する
			伝送線路のインピーダンスを下げる
	LSIパッケージ，ボード	インピーダンス・ミスマッチが生じている	インピーダンス制御を行う
ディップ，リンギング	LSIパッケージ，ボード	インピーダンス・ミスマッチが生じている	インピーダンス制御を行う
	ボード	分岐後の配線バランスが悪い	分岐配線の最適化を行う
遅延，スキュー	LSIパッケージ，ボード	トータルの伝播遅延時間が異なる	配線層ごとに信号伝播遅延時間が異なる場合，伝播遅延を考慮して配線する
			LSIパッケージ内の伝播遅延を考慮して，ボード上の配線長で合わせる
		負荷のバランスが異なる	配線の寄生容量を合わせる
		ディップによる遅延時間が増加した	インピーダンス制御を行う

電圧変動レベルが規格値の範囲に収まっているか，もしくは伝播遅延時間が規格値の範囲に収まっているかといった判定を行う場合は，ある程度のマージンを持たせる必要があります．先にも述べましたが，実際の動作環境では電圧変動レベルや伝播遅延時間がさらに増加する可能性があります．つまり，シミュレーションの結果は，ボード設計を改善するための目安にすぎず，シミュレーションの結果がかならず実測結果と一致するものではないということを，ぜひ覚えておいてください．

● 対策を行う際の二つの注意事項

図8，**図9**で見たような電圧変動や遅延時間について，基板上で対策する例を**表1**に示します．これらは，あくまでも対策の一例です．みなさんも，ボード設計を繰り返していくうちに，たくさんの対策を経験されるようになると思います．それらの経験を対策事例としてノートなどにまとめておくことをお勧めします．また，対策を行ううえで大事なことは，以下の二つです．

1）ボードが使われる装置や回路に合わせて，最適な対策を選択すること

2）対策に伴うコスト・アップ（工数増加）を比較すること

まず，1）について説明しましょう．例えば，シミュレーション結果から**図8**に示すオーバシュートが現れたとします．ドライバICのバッファ駆動能力が高すぎると判断できたら，**表1**の対策例から，ドライバのバッファ駆動能力を負荷に合ったものに変更するか，ダンピング抵抗を追加す

るか，配線の特性インピーダンスを下げます．このとき，カスタムLSIやFPGA（field programmable gate array）のようなプログラマブルなLSIであれば，バッファ駆動能力を選択することも可能です．一方，汎用LSIを使用している場合は，バッファ駆動能力を変更することが難しくなります．

また，携帯電話やディジタル・カメラなどの設計では，できるだけボードを小さくしたいという要求があります．そのため，ダンピング抵抗を追加したり，配線の特性インピーダンスを下げるために配線幅を太くすることは，できるだけ避けたいところです．逆に，基板形状が大きく，配線エリアに余裕のある製品では，ダンピング抵抗の追加をためらう必要はありません．

このように，使われる装置や回路によって対策手法の優先順位が変わってきます．

次に，**2)**のコストについて述べます．例えば，カスタムLSIのバッファ駆動能力を合わせた後，実測結果を踏まえて調整することを考えます．このとき，初期の開発ボードではダンピング抵抗を入れておき，実測結果からダンピング抵抗を入れなくても問題がないことを確認してから，次のボードの改版でダンピング抵抗を削除するという方法をとることも可能です．

このように，効率良く開発を進めるために，どの対策をどの段階で行うかを考え，トータルのコストを抑えることは重要です．

● シミュレーション結果を出すことが設計業務ではない

シミュレーションは非常に便利で何でもできてしまうため，シミュレータばかり扱っていると，シミュレーションの結果を出すことで満足してしまう人がいます．これまで説明したように，シミュレーションの結果はかならずしも実測とは一致しません．また，一致しない理由がかならずあります．ぜひ，実測結果とシミュレーション結果を比較し，自分の使っているシミュレータの癖をきちんと把握するようにしてください．

参考・引用*文献

(1) 小西良弘；マイクロ波回路の基礎とその応用，pp.53-54，総合電子出版社，1992年．
(2) Mark I. Montrose；*Printed Circuit Board Design Techniques for EMC Compliance*，IEEE PRESS，1996．
(3) 鈴木正太郎；オンボード電源の設計と活用，pp.156-159，CQ出版社，2003年．
(4) Ron K. Poon；*Computer Circuits Electric Design*，pp.123-136，Prentice-Hall International，1995．

かねこ・としゆき
(株)トッパンNECサーキットソリューションズ

<筆者プロフィール>
金子俊之．大学院修士過程のときに，プリント配線板のシミュレーションと出会う．その後，1993年NEC入社．トッパンNECサーキットソリューションズへ移籍した現在も，プリント配線板のシミュレーション業務に携わる．

Column　電源電位の信頼性が課題に

最近では，さまざまな局面で高速なシリアル信号が使われるようになってきました．例えば，パソコンなどで使われているPCIバスがPCI Expressと呼ばれるシリアル・インターフェースに変わってきています．

このような高速シリアル・インターフェースでは，シリアル信号として転送したデータからクロックを再生し，パラレル信号へと変換しています．このとき，シリアル信号に時間的なズレ（ジッタ）が生じると，データ転送の信頼性が低下します．ジッタの原因の一つが，ドライバICにおける複数素子の同時スイッチングに起因する電源ノイズ（同時スイッチング・ノイズ）です．

そこで，こうしたジッタを低減し，高速シリアル・インターフェースの伝送信号の信頼性を高めるために，電源電圧の変動を抑える「パワー・インテグリティ」という考えかたが注目を集めています．また，最近のLSIの電源は低電圧・大電流出力になっています．ボードにおける電源電圧の安定化という意味合いでも，パワー・インテグリティが注目されています．

例えば，ボード上の電源配線はベタ・パターンとし，できるだけインピーダンスを下げる必要があります．ところが，信号ビアによるクリアランスの発生や，異なる電源の間のスリットにより，電源ベタが部分的に細くなってしまうことがあります．そうなると，ボード上の電源配線のインピーダンスが上がり，予期せぬ電圧降下が生じます．電圧降下が発生すると，電源を供給している場所の近くでは必要な電圧/電流が確保されているのに，遠いところでは必要な電圧/電流を確保できないといった状況が発生することがあります．このような設計を行わないために，電源における電流のルートをきちんと確保しながら設計する必要があります．

最近では，同時スイッチング・ノイズや電圧降下の問題をシミュレーションする手法が学会などで発表されるようになり，パワー・インテグリティに対応したシミュレータなども出てきています．このような問題にぶつかったときに試してみてはいかがでしょうか？